

## PATENT ABSTRACTS OF JAPAN

9

(11)Publication number : 2000-307395

(43)Date of publication of application : 02.11.2000

(51)Int.Cl.

H03K 5/15

(21)Application number : 11-114730

(71)Applicant : KONICA CORP

(22)Date of filing : 22.04.1999

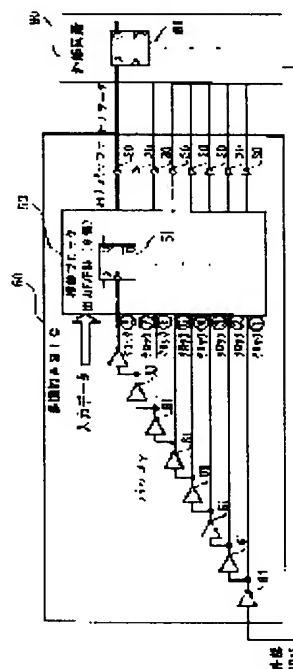
(72)Inventor : TAKACHI HAJIME  
GOTO YUICHI  
YAMAMOTO HIROYUKI

## (54) SYNCHRONIZING CIRCUIT SYSTEM

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To reduce a switching noise caused by a simultaneous operation by constituting a different clock tree for each function block and setting the switching time of an output buffer in a following circuit group within the setup/hold time of a clock.

**SOLUTION:** The respective output data of a flip-flop 51 of a multifunction block 50 are respectively synchronized to the clocks 1-8 successively shifting the phases and inputted through a buffer 30 to an external circuit 80. A common external clock is supplied to each flip-flop 81 of the external circuit 80. Thus, by setting the maximum delay time difference of the clocks 1-8 supplied to the function block 50 within the setup/hold time of the external circuit 80, a normal operation can be performed. Further, by intensively skewing the clock in a tree configuration for respective function blocks, the switching noise is reduced by avoiding simultaneous output buffer switching and a malfunction caused by the noise is prevented.



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号  
特開2000-307395  
(P2000-307395A)

(43)公開日 平成12年11月2日(2000.11.2)

(51)Int.Cl.<sup>7</sup>  
H 0 3 K 5/15

識別記号

F I  
H 0 3 K 5/15

テーマコード\*(参考)  
G 5 J 0 3 9

審査請求 未請求 請求項の数 2 O L (全 8 頁)

(21)出願番号 特願平11-114730

(22)出願日 平成11年4月22日(1999.4.22)

(71)出願人 000001270  
コニカ株式会社  
東京都新宿区西新宿1丁目26番2号  
(72)発明者 高地 一  
東京都八王子市石川町2970番地 コニカ株  
式会社内  
(72)発明者 後藤 裕一  
東京都八王子市石川町2970番地 コニカ株  
式会社内  
(74)代理人 100085187  
弁理士 井島 藤治 (外1名)

最終頁に続く

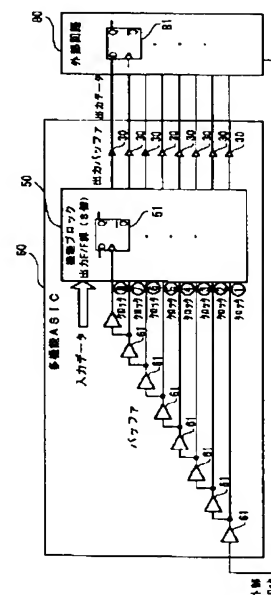
(54)【発明の名称】 同期回路システム

(57)【要約】

【課題】 本発明は同期回路システムに関し、多機能 A S I C に対してノイズ混入防止策を採用せずにスイッチングノイズを低減することができる同期回路システムを提供することを目的としている。

【解決手段】 それぞれ独立に機能する機能ブロック 5 0 を複数有する多機能回路 6 0 と、該多機能回路 6 0 を搭載し、共通クロックに同期して動作する複数の回路群とを有する同期回路システムにおいて、前記機能ブロック 5 0 毎にクロックツリーの段数を異ならしめ、前記多機能回路 6 0 の後段の回路群のセットアップ/ホールドタイムを満たすように、多機能回路 6 0 の出力バッファのスイッチング時間を決定するスイッチング時間決定手段を具備して構成する。

本発明の原理説明図



## 【特許請求の範囲】

【請求項1】 それぞれ独立に機能する機能ブロックを複数有する多機能回路と、該多機能回路を搭載し、共通クロックに同期して動作する複数の回路群とを有する同期回路システムにおいて、

前記機能ブロック毎にクロックツリーの段数を異ならしめ、前記多機能回路の後段の回路群のセットアップ／ホールドタイムを満たすように、多機能回路の出力バッファのスイッチング時間を決定するスイッチング時間決定手段を具備することを特徴とする同期回路システム。

【請求項2】 前記多機能回路としてASICを用い、前記スイッチング時間決定手段は、独立した機能ブロック毎にASICの出力バッファの前段の複数の記憶素子にそれぞれ位相差が生じるように前記クロックを分配することを特徴とする請求項1記載の同期回路システム。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は同期回路システムに関し、更に詳しくは同期回路のスイッチングノイズの低減に関する。

## 【0002】

【従来の技術】 従来、同期回路で構成され、独立した機能ブロックを複数搭載した半導体集積回路(IC)では、独立した機能ブロックにおいて、同一クロックにて接続される全てのフリップフロップの数(ファンアウト)を調べ、クロックスキューを調整し、各々のフリップフロップに供給されるクロック遅延を同等にするようにクロックツリーを構成しているが、この方法だと出力信号が完全同期になるため、出力バッファ(出力端子)のスイッチングノイズが増加していた。

【0003】 図8は回路システムの構成例を示すブロック図である。図に示すシステムは、同期回路システム10とボード20より構成されている。同期回路システム10において、11は全体の制御動作を行なうCPU、12は該CPU11と接続されるASIC(特定用途向けIC)、13は該ASIC12と接続されるASICである。14はASIC13と接続される周辺ICである。

【0004】 ボード20において、21は同期回路システム10のASIC13と接続されるASIC、22は該ASIC21と接続される周辺ICである。該周辺IC22は、同期回路システム10の周辺IC14と接続されている。そして、これら回路は全て外部からの外部クロックで同期が取られる。

【0005】 回路システムにおいて、システム内のクロックが1本であり、どの回路群もこのクロックに同期して動作させることが、動作安定化を容易に行なう方法である。

【0006】 同一クロックに同期して動作する回路システム(多機能ASICも含む)を構成する場合、システ

ム内のほとんどの信号がクロックに同期した信号になる。システム内の多機能ASICも同一クロックで動作させるため、多機能ASICからの出力信号もクロックに同期した信号となり、多機能ASIC後段の回路も同一クロックによりその出力信号を受ける。このような完全同期式の回路システムは、タイミング調整が容易なため、誤動作も少ない。ここでいう多機能ASICとは、例えばCPUインタフェース部、画像処理部、モータ等に対する駆動パルスを発生するメカ制御部等を含む。

## 【0007】

【発明が解決しようとする課題】 しかしながら、ここで問題になってくるのが、多機能ASICの出力バッファの同時スイッチングである。ASICは高集積化、多ピン化が進んでいるため、ASIC1チップからの出力信号も数10本から百本以上と激増している。これら出力バッファ(チップの出力端子に接続)に同一クロックによって動作するフリップフロップ(F/F:記憶素子)からの出力信号が接続されていると、同位相のクロックによって出力バッファの状態が変化することになるので、多数の出力バッファが同時スイッチングする可能性がある。

【0008】 このため、チップ内の電源・グラウンドにノイズが乗り、多機能ASICの誤動作やシステム全体の誤動作につながる可能性が出てくる。図9は出力バッファ部のスイッチングの説明図である。図において、30が出力バッファで、電源VDDとVSS間に接続されている。図において、L1とL2とは等価的に表された電源ラインのインダクタである。出力バッファ30にはインダクタL1、L2を介して電源が供給されている。CLは出力端子に接続される容量性負荷である。

【0009】 (a)は出力バッファがハイレベルになった時に流れる電流を、(b)は出力バッファがローレベルになった時に流れる電流をそれぞれ示す。それぞれの場合に、インダクタの両端に現れる過渡電圧VLは次式で表される。

$$VL = -(N \times L \times di/dt)$$

ここで、Nはスイッチング本数、Lはインダクタンス、 $di/dt$ はスイッチング時に流れる過渡電流である。出力バッファ30の具体的構成を図10に示す。図に示すように出力バッファの出力段は、PチャネルトランジスタQ1とNチャネルトランジスタQ2の直列回路から構成され、PチャネルトランジスタとNチャネルトランジスタQ2の共通接続点が出力端子となる。出力バッファがロー→ハイ、又はハイ→ローに信号変化する時、出力バッファのPチャネルトランジスタQ1からNチャネルトランジスタQ2へ貫通する貫通電流が流れるだけでなく、出力バッファに付加されている負荷容量に対して、充電電流又は放電電流が流れる。充電電流は出力がロー→ハイに変化する際に流れ、放電電流は出力がハイ→ローに変化する時に流れる。

【0011】図11は各部の動作波形を示す図で、図9に示す回路の動作波形を示している。(a)は出力波形、(b)はVSS電源端子波形、(c)は入力端子への印加電圧レベルVINを、(d)は入力バッファしきい値電圧を、(e)は入力電圧への印加電圧レベルVILをそれぞれ示している。即ち、通常の動作の場合、入力電圧がしきい値レベルよりも高い場合には“1”レベルを出力し、入力電圧がしきい値レベルよりも低い場合には“0”レベルを出力する。

【0012】スイッチングノイズのために、入力バッファしきい値レベルが図の(d)に示すように変化したものとする。図のA点では、しきい値レベルが入力電圧レベルVINを超えるために出力は“0”になる。一方、図のB点では、しきい値レベルが入力電圧レベルVILよりも下がるため、出力は“1”となる。このように、スイッチングノイズのために回路が誤動作する。

【0013】このような多機能ASICが搭載されている同一クロックに同期して動作する回路システムにおいて、前述した多機能ASICの同時スイッチングによるノイズ混入を防止するための手段として、多機能ASICチップの電源・グラウンドを増やして電源・グラウンドの抵抗を下げて電源グラウンドを強化する方法や、同時スイッチングする出力バッファ(出力端子)を削減することが考えられる。

【0014】ところが、前者の場合電源・グラウンドを強化する(グラウンドの面積を広げる)ためには、電源・グラウンド用にユーザ使用端子を使用しなければならないので、その分、ユーザの使用できる端子の数が減ってしまう。そのため、更に多ピンパッケージを使用しなければならなくなり、コストアップにつながる。一方、後者の場合には、同時スイッチングする出力バッファ(出力端子)を接続するためには、出力バッファの前段にディレイ素子を入れて、スイッチングの位相をすこしずつずらしてやる必要があり、回路規模が増大してしまう。或いは機能自体を削減させなければならなくなる。

【0015】本発明はこのような課題に鑑みてなされたものであって、多機能ASICに対してノイズ混入防止策を採用せずにスイッチングノイズを低減することができる同期回路システムを提供することを目的としている。

【0016】

【課題を解決するための手段】(1)前記した課題を解決する本発明は、それぞれ独立に機能する機能ブロックを複数有する多機能回路と、該多機能回路を搭載し、共通クロックに同期して動作する複数の回路群とを有する同期回路システムにおいて、前記機能ブロック毎にクロックツリーの段数を異ならしめ、前記多機能回路の後段の回路群のセットアップ/ホールドタイムを満たすように、多機能回路の出力バッファのスイッチング時間を決定するスイッチング時間決定手段を具備することを特徴

とする。

【0017】このように構成すれば、多機能回路の後段の回路群のセットアップ/ホールドタイムを満たす範囲内で、スイッチング時間決定手段がそれぞれの機能ブロックの出力バッファのスイッチング時間を位相を少しずつずらしてやり、同時スイッチングする出力バッファの数を減らすことで、ノイズ混入防止等を採用せずにスイッチングノイズを低減することができ、誤動作を防止することができる。

【0018】(2)請求項1の発明において、前記多機能回路としてASICを用い、前記スイッチング時間決定手段は、独立した機能ブロック毎にASICの出力バッファの前段の複数の記憶素子にそれぞれ位相差が生じるように前記クロックを分配する。

【0019】このように構成すれば、スイッチング決定手段がASICの出力バッファの前段の複数の記憶素子にそれぞれ前記セットアップ/ホールドタイムを満たす範囲で位相差が生じるようにクロックの分配を行なうことができ、同時スイッチングする出力バッファの数を減らすことで、スイッチングノイズを低減することができる。誤動作を防止することができる。

【0020】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態例を詳細に説明する。先ず、本発明が適用される前提について説明する。同一クロックに同期して動作する回路群は、多機能ASICからの出力信号をクロックで必ず受けるものとする。或いは、多機能ASICによってクロックをn分割した出力信号パルスによって駆動するものとする。その場合、多機能ASICからの出力信号はクロックに同期していなければならない、更に多機能ASIC後段の回路群のセットアップ/ホールドタイムを満たすようなタイミングでなければならない。或いは、出力信号パルスの設定周期を満足するものでなければならない。

【0021】図1は本発明の原理説明図である。図9と同一のものは、同一の符号を付して示す。図において、60は多機能ASIC、50は該多機能ASIC60内に設けられた機能ブロックである。この機能ブロック50は、ここでは8個の出力フリップフロップ51を有しているものとする。該機能ブロック50には、クロックの他に、該クロックでラッチされるための入力データが入っている。61は機能ブロック50の前段に設けられたバッファである。外部クロックは最初のバッファに入り、該最初のバッファの出力は次のバッファに入る。以下、同様である。

【0022】そして、それぞれのバッファの出力がクロック①からクロック⑧として機能ブロック50に入っている。即ち、クロック①が一番早く機能ブロック50に入り、クロック②が次に機能ブロック50に入る。このようにして、8個のクロックが位相がずれた状態で機能

ブロック50に入っている。機能ブロック50内の各フリップフロップの51の出力は、出力バッファ30を介して外部回路80に入っている。外部回路80内には、出力バッファの出力を受けるフリップフロップ81が含まれている。そして、該外部回路80には、前記クロック（外部クロック）が共通に入力されている。このように構成された回路の動作を、図2のタイムチャートを参照しつつ説明すれば、以下の通りである。

【0023】多機能ASIC60内のフリップフロップ51は、合計8個あり、この8個のフリップフロップ51にはそれぞれクロック①～⑧が入力されている。このフリップフロップ51の出力信号（出力データ）は、後段の出力バッファ30にそれぞれ接続され、外部への出力データは、クロック信号①～⑧にそれぞれ同期した信号となる。

【0024】その後段の外部回路80の入力データは、前述した出力データであり、フリップフロップ81にそれぞれ入力される。このフリップフロップ81のクロックは全て外部クロックとする。

【0025】図に示すように、多機能ASIC60とその後段に外部回路80がある場合、図2に示すように多機能ASIC内部のフリップフロップ51がクロックエッジ①でデータAを出力し、次のクロックエッジ②で後段の回路80がデータAを受けるとき、外部回路のフリップフロップ81のセットアップ／ホールドタイムを考慮すると、多機能ASIC60からの出力信号は、(a)～(c)のタイミングが許される。

【0026】つまり、遅延時間ΔTの中のどのタイミングでデータAが変化しても、後段回路80は問題なくデータを受けることが可能であり、同期回路システムを構成することができる。この遅延時間ΔTは、後段の外部回路80のフリップフロップ81のセットアップ／ホールドタイムが可能な（確実にデータを受けることができる）範囲における出力バッファ30の取りうるタイミングを示している。また、出力信号パルスの周期に依存して駆動させる回路の場合は、周期が一定であれば、パルス信号のスタートポイントが数nsec前後しても、回路システムとしては問題ない。図1に示す回路の場合、それぞれのフリップフロップ駆動信号が互いにゲート1個分ずつ異なっており、クロック①～⑧までの最大の遅延時間差がΔT以内であれば、正常に動作する。

【0027】このように、出力用フリップフロップに入力するクロックに遅延時間ΔT分の遅延差を与えることにより、多機能ASICの同時スイッチングによるノイズ混入を電源・グランド端子を増加せずに防止し、同期回路システムを構築することができる。

【0028】更に、上述の構成を利用して（遅延時間ΔT分のマージンを利用し）、多機能ASIC回路増加や機能削除を行わずに機能ブロック毎のクロックに位相差を与えて、出力バッファ同時スイッチングノイズを削減

することを考える。

【0029】多機能ASIC（半導体集積回路）は、多数の機能ブロックが搭載され、1つのチップとして構成されている。そして、その機能ブロックには、フリップフロップ（以下F/Fと略す）等の記憶素子が内蔵されていて、それらはクロック信号により動作する。

【0030】同期回路の場合、1本のクロック信号により全てのF/Fが動作するようになっているため、クロック信号に対する負荷がかなり大きい。そのため、クロック信号には多数のバッファを挿入しながら駆動能力を調整する必要がある。即ち、1本のクロックが、駆動能力を調整することにより、枝分かれしていくことになる。これがクロックツリーである。

【0031】図3はASICの従来構成例を示す図、図4はその各部の動作を示すタイムチャートである。図3において、40はバッファの多段接続によるクロックツリーである。図4において、(a)はクロック（CLK）、(b)CLK A1、(c)はCLK A2、(d)はCLK A3、(e)は機能ブロックAの出力信号、(f)はCLK F1、(g)はCLK F2、(h)はCLK F3、(i)は機能ブロックFの出力信号である。(a)のクロックのエッジにより、各機能ブロックのデータがラッチされるようになっている。

【0032】共通のクロック（CLK）は入力バッファを介して各バッファに入る。そして、各バッファ出力を複数のバッファが受け、その複数のバッファの各出力をまた複数のバッファが受けるというツリー状をなしている。クロックツリー40の最終段の出力は、クロック（CLK）A1、CLK A2、CLK A3…CLK F1、CLK F2、CLK F3となり、次段の機能ブロック50に入力される。なお、図示されていないが、各機能ブロック50には、入力データが入っている。

【0033】これら機能ブロック50は、各ブロック毎に独自の機能を有するものであり、内部に含まれるフリップフロップの数も異なる。そして、各機能ブロック50の出力は出力バッファ30により外部機器に接続される。ここでは、機能ブロックとして機能ブロックA～機能ブロックFが接続されている場合を示している。

【0034】前述したクロックツリーは、駆動能力を調整するだけでなく、枝分かれしたクロック信号の遅延量も調整している（クロックスキュー機能）。枝分かれしたクロックがそれぞれ異なる遅延量を持っていると、非同期回路になってしまうからである。

【0035】非同期回路になってしまうと、F/F間のタイミング調整がかなり困難であり、誤動作の原因にもなる。よって、入力されるクロックと内部で枝分かれしたクロック群（CLK A1、CLK A2、CLK A3、…CLK F1、CLK F2、CLK F3）では、バッファ分の遅延がつき位相が異なってくるが、クロックツリーを通過したCLK A1、CLK A

2、CLK A3、…等、機能ブロックに到達するクロックはそれぞれ同位相のクロックになる。

【0036】そこで、多機能ASICからの出力信号は、前述したように、遅延時間 $\Delta T$ だけタイミングが前後しても同一クロックに同期してし動作する複数の回路群（多機能ASICも含む）での完全同期システムを構成することが可能であるので、多機能ASIC内の機能ブロックが独立で動作する回路であれば（別機能ブロックのF/F間で信号のやりとりがあると非同期回路になってしまう）、クロックツリーを生成するにあたって、全体回路でのクロック信号の負荷や遅延量を調整するのではなく、機能ブロック毎にクロックツリーを構成し、意図的にクロックスキューを与えるようにする。これにより、出力バッファ（出力端子）の同時動作数を減少させることが可能である。

【0037】図5は本発明の一実施の形態例を示す回路図である。図3と同一のものは、同一の符号を付して示す。図6は各部の動作を示すタイムチャートで、図4に示すそれと同様である。図において、50は複数設けられた機能ブロックで、その内部に記憶素子であるF/F51を出力バッファの数だけ内蔵している。ここで、各機能ブロック50は、それぞれ独立に機能するものである。図では、機能ブロックAと、機能ブロックDと、機能ブロックFについて示しているが、これに限るものではない。各機能ブロックのF/F51の出力は、出力バッファ30にそれぞれ接続されている。

【0038】ここで、クロックツリーを構成するバッファの段数は、それぞれの機能ブロック50に到達する時間差が図2のマージン $\Delta T$ 以内になるように予め設計されている。つまり、これらバッファの段数がスイッチング時間決定手段に相当する。つまり、これらバッファ段数は、それぞれの機能ブロック50に入力されるクロックの位相差が $\Delta T$ 以内になるように設計されている。別言すれば、ASICの出力バッファの複数のF/F51にそれぞれ位相差が生じるように各クロックが分配されることになる。しかも、そのクロックの位相差は $\Delta T$ 以内に収まるようにする。

【0039】位相差の作り方は、例えば以下の通りである。1個のバッファをクロックが通過するのに要する時間が $\delta t$ であるものとする。そうすると、2個のバッファを通過するのに要する時間は $2\delta t$ 、3個のバッファを通過するのに要する時間は $3\delta t$ である。以下、同様である。このようにして、各機能ブロックに到達する時間に差を設け、しかも、それらの時間差が前述したマージン $\Delta T$ 以内になるようにバッファの個数を調整するものである。

【0040】このようにすれば、出力バッファ30の出力を受ける外部回路の入力特性のセットアップ/ホールドタイムを満足する範囲内で、各機能ブロック50をス

にスイッチングする時間は微妙に異なるので、同時に出力バッファがスイッチングすることはなくなり、スイッチング時に発生する過大なノイズを抑制することができる。

【0041】図7は動作タイミングの説明図である。図に示すマージン $\Delta T$ の間にそれぞれの機能ブロックのスイッチング時間が入るように、クロックツリーのバッファ段数を決定する。例えば、 $t_1$ は機能ブロックAの出力バッファのスイッチング時間、 $t_2$ は機能ブロックDの出力バッファのスイッチング時間、 $t_3$ は機能ブロックFの出力バッファのスイッチング時間という具合に、それぞれのスイッチング時間がマージン $\Delta T$ に収まる範囲内でスイッチング時間を調整する。

【0042】このように構成すれば、多機能回路の後段の回路群のセットアップ/ホールドタイムを満たす範囲内で、スイッチング時間決定手段がそれぞれの機能ブロックの出力バッファのスイッチング時間を位相を少しずつずらしてやり、同時スイッチングする出力バッファの数を減らすことで、スイッチングノイズを低減することができ、誤動作を防止することができる。

【0043】また、スイッチング決定手段がASICの出力バッファの前段の複数の記憶素子にそれぞれ前記セットアップ/ホールドタイムを満たす範囲で位相差が生じるようにクロックの分配を行なうことで、同時スイッチングする出力バッファの数を減らすことで、スイッチングノイズを低減することができ、誤動作を防止することができる。

【0044】上述の実施の形態例では、多機能回路としてASICを用いたが、本発明はこれに限るのではなく、その他の多機能回路を用いることができる。

【0045】

【発明の効果】以上、詳細に説明したように、本発明によれば、以下の効果が得られる。

(1) 請求項1記載の発明によれば、多機能回路の出力バッファのスイッチング時間を決定するスイッチング時間決定手段を具備することにより、多機能回路の後段の回路群のセットアップ/ホールドタイムを満たす範囲内で、それぞれの機能ブロックの出力バッファのスイッチング時間を位相を少しずつずらしてやり、同時スイッチングする出力バッファの数を減らすことで、スイッチングノイズを低減することができ、誤動作を防止することができる。

【0046】(2) 請求項2記載の発明によれば、前記多機能回路としてASICを用い、前記スイッチング時間決定手段は、独立した機能ブロック毎にASICの出力バッファの前段の複数の記憶素子にそれぞれ位相差が生じるように前記クロックを分配することにより、ASICの出力バッファの前段の複数の記憶素子にそれぞれ前記セットアップ/ホールドタイムを満たす範囲で位相差が生じるようにクロックの分配を行なうことで、同時

スイッチングする出力バッファの数を減らすことができ、スイッチングノイズを低減することができ、誤動作を防止することができる。

【図面の簡単な説明】

【図1】本発明の原理説明図である。

【図2】各部の動作波形を示すタイムチャートである。

【図3】ASICの従来構成例を示す図である。

【図4】各部の動作を示すタイムチャートである。

【図5】本発明の一実施の形態例を示す回路図である。

【図6】各部の動作波形を示すタイムチャートである。

【図7】動作タイミングの説明図である。

【図8】回路システムの構成例を示すブロック図である。

\* 【図9】出力バッファ部のスイッチングの説明図である。

【図10】出力バッファの具体的構成例を示す図である。

【図11】各部の動作波形を示す図である。

【符号の説明】

50 機能ブロック

51 フリップフロップ

60 多機能ASIC

61 バッファ

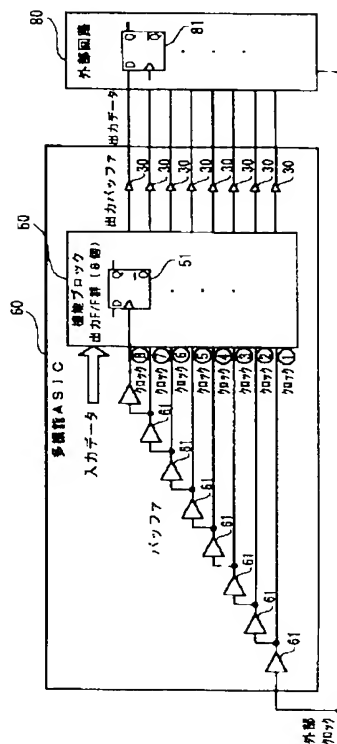
80 外部回路

81 フリップフロップ

\*

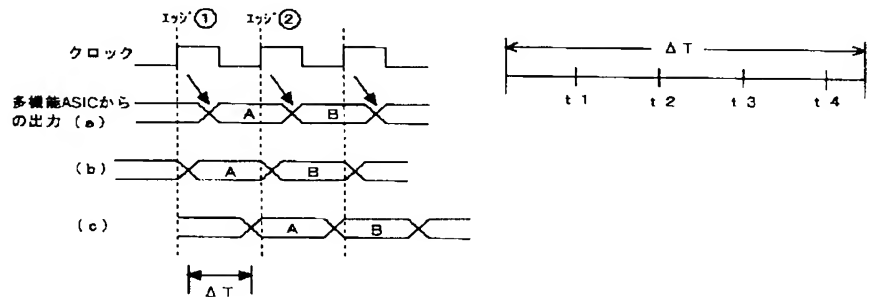
【図1】

本発明の原理説明図



【図2】

外部の動作波形を示すタイムチャート

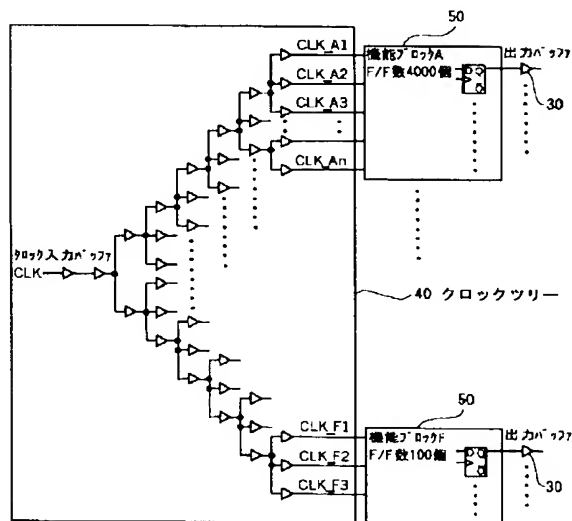


【図7】

動作タイミングの説明図

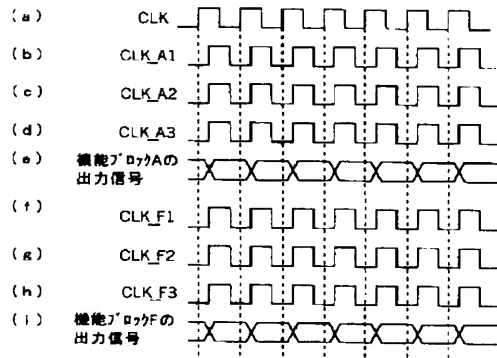
【図3】

ASICの従来構成例を示す図



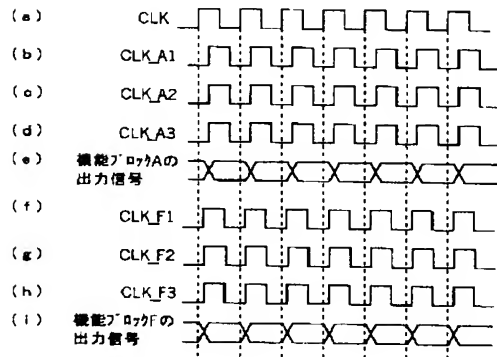
【図4】

各部の動作を示すタイムチャート



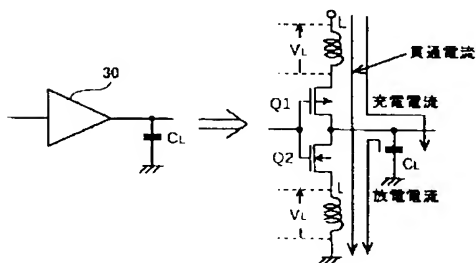
【図6】

各部の動作を示すタイムチャート



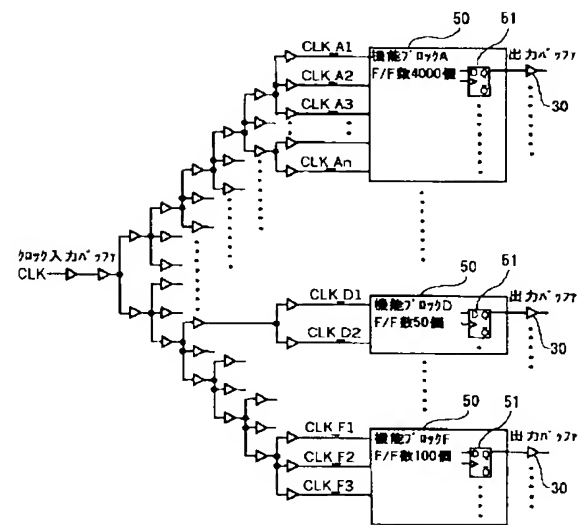
【図10】

出力バッファの具体的構成例を示す図



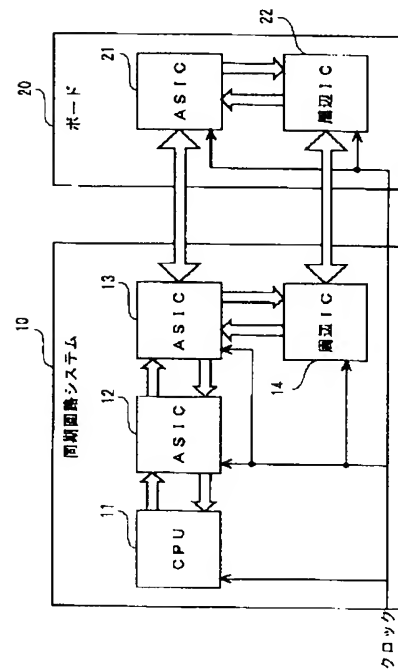
【図5】

本発明の一実施の形態例を示す回路図



【図8】

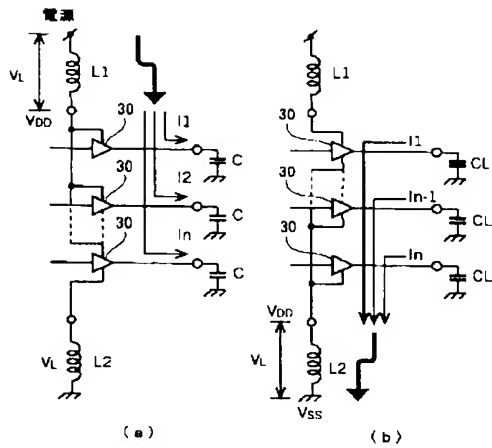
回路システムの構成例を示すブロック図





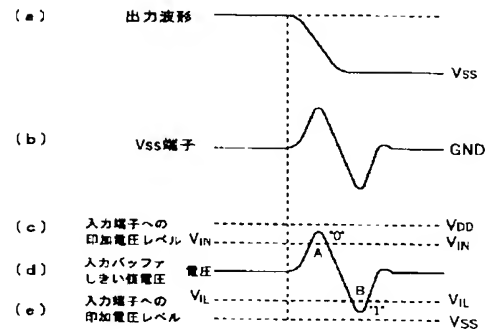
【図9】

出力バッファ部のスイッチングの説明図



【図11】

各部の動作波形を示す図



フロントページの続き

(72)発明者 山本 裕之  
東京都八王子市石川町2970番地 コニカ株  
式会社内

Fターム(参考) 5J039 EE06 EE15 KK09 MM08 MM16